

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

Japanese Laid-Open Patent Publication No. 342098/1994  
(Tokukaihei 6-342098) (Published on December 13, 1994)

(A) Relevance to claim

The following is a translation of passages related to claims 1, and 17 of the claims of the present invention.

(B) Translation of the related passages

[CLAIMS]

[CLAIM 1]

An X-ray image capturing element, in which a dielectric substrate layer has an upper surface and a bottom surface, a plurality of transistors are arranged so as to be adjacent to one another on said upper surface of said dielectric substrate layer, and a plurality of charge accumulating capacitors are arranged so as to be adjacent to one another on said upper surface of said dielectric substrate layer, each of said charge accumulating capacitor including an inside conductive micro-plate connected with at least one of said transistors, has:

a charge accumulating capacitor in which said inside micro-plate has an upper surface opposing to said dielectric layer,

means, provided so as to be adjacent to one another on the upper surface of said dielectric layer, for electronically activating said transistor and providing an

access to each of said capacitors,

an optical conductive layer which is stacked on said transistor and said activating and accessing means, and

an upper conductive layer which is stacked on said optical conductive layer being stacked on the other side of said dielectric layer, comprising:

a plurality of charge barrier(stopping) layers, each being arranged so as to be adjacent to one another on each upper surface of said inside micro-plates, and

a barrier dielectric layer which is arranged between said optical conductive layer and said upper conductive layer so as to expand in the same manner as said optical conductive layer and said upper conductive layer.

[EMBODIMENT OF THE PRESENT INVENTION]

[0010]

An X-ray image capturing element includes an optical conductive layer which is stacked on the transistor and the activating and accessing means, and an upper conductive layer which is stacked on the optical conductive layer stacked on the other side of the dielectric layer.

[0030]

On the micro-plate 4n, a charge stopping(blocking) layer 10 is formed. It is preferable to allow an aluminum

oxide layer formed on the surface of the micro-plate 4n to serve as the charge stopping layer 10; however, another stopping interface(barrier) is also available. A selenium optical conductive layer 8 is coated thereon so as to achieve an X-ray absorbing layer. Further, the layers 4n, 10 , and 8 act as stopping diodes so as to prevent charge of one type from passing in the other direction. The charge stopping layer 10 needs to have a thickness large enough to prevent leakage of charge. In the embodiment of the present invention, the charge stopping layer 10 is arranged so as to have a thickness larger than 100 angstroms.

[0031]

The optical conductive layer 8 is coated on the charge stopping layer 10, a transistor 5, and gate and sense lines. The optical conductive layer 8 has a front side and a back side which is contact with the micro-plate 4n. It is desirable that the optical conductive layer 8 exhibit high dark resistivity so that the optical conductive layer 8 can be made of materials selected from amorphous selenium, lead oxide, cadmium sulfide, mercuric iodide, and other same kinds of substances. As another substance belonging to the same kind, it is preferable to adopt an organic substance such as an optical conductive polymer which is added the X-ray absorbing compound so as

to exhibit an optical conductivity.







ースならびに、双方が共に前記アクチベート手段に接続されたドレインおよびゲートを有する薄膜電界効果トランジスタ (FET) であることを特徴とする。

【0015】請求項6に記載の発明は、請求項5に記載のX線イメージングエレメントにおいて、前記トランジスタはアモルファス・シリコン、多結晶シリコン、単結晶シリコンおよび酸化カドミウムの群から選択した物質を有することを特徴とする。

【0016】請求項7に記載の発明は、請求項5に記載のX線イメージング装置エレメントにおいて、前記光導電層と前記トランジスタの各々の間に設けられたバッシンペーシヨンをさらに備えたことを特徴とする。

【0017】請求項5に記載のX線イメージングエレメントにおいて、前記アクサベールトおよびアクサセウス系統は、トランジスタに沿って布線され、それぞれが隔壁トランジスタのゲートに接続され、それぞれが隔壁トランジスタのソース・ラインと、アドレス・ラインを構成する方向にトランジスタに沿って布線され、それぞれが隔壁トランジスタのドレイン領域に接続される複数のディスプレイマトリクス・ラインとを有することを特徴とする。

【0018】請求項9に記載の発明は、請求項8に記載のX線イメージ読取エレメントにおいて、外部マイクロブレートに格納されているアース電圧に対して可変動作電圧を上部電圧層に増加する手段をさらに備えたことを特徴とする。

【0019】請求項10に記載の発明は、請求項8に記載のヌクレオチド結合エレメントにおいて、前記アデノシンおよび前記セリヌス・ラインを第1電荷状態から第2電荷状態に切り替えるための手段をさらに備えたことを特徴とする。

【0020】請求項11に記載の発明は、請求項8に記載のX線イメージングエレメントにおいて、前記センサ素子のラインに接続されて、前記キャパシタに蓄積された電圧をアナログ信号に変換するための電荷測定手段をさらに備えたことを特徴とする。

【02021】請求項12に記載の発明は、請求項1に記載のX線イメージ増強エレメントであって、前記エレメントを取り囲んでポーダブルエレクロニックス・カセットを構成する植附装置の組合せ構造からなり、前記植附装置が前記エレメントに接続されて、前記エレメントに電力を供給し、前記エレメントから電圧信号を読み取るための電気ケーブルを有することと特徴となる。

【0022】請求項13に記載の発明は、X線イメージング要素で装置内イメージングを結算する方法であって、該X線イメージング要素が、上面と下面を設けた導電基板層と、該導電基板層の上面に隣接して配列された複数のトランジスタと、同じく該導電層の上面に隣接して配列された複数の電荷蓄積キャパシタとによって、各キャパシタが隣接トランジスタの少ないとも1つ

に接続された内線専電マイクロープレートを設け、該内線マイクロープレートが該設備側に對向する上面を設け、該上面に、各キヤパシタが該設備の上面に接續された外周面に、該外周マイクロープレートに接續された外周面に、各キヤパシタが該設備の上面に接續された外周面に、該外周マイクロープレートに對向して該設備物質上に接續された電話機キヤパシタと、前記電話機の上面に設けられている電氣導體を電子的にアクトセスして、前記キヤパシタの各々を個別的にアクトセスする手段であつて、トランジスタに沿つて布線され、それぞれが該接續トランジスタのゲートに接續された複数のデイスクリット導電アドレス・ラインと、アドレス・ラインを横切る方向にトランジスタに沿つて布線された、それぞれが該接續トランジスタのドレイン領域に接續された複

数のディスクリトリート電圧センサ・ラインとを含むアクセ  
ス手段と、それぞれが前記センサ・ラインに接続され  
て、前記キャパシタの電荷をアナログ信号に変換され  
るための電圧増幅手段と、前記アナログ信号に基づいて  
ポートおよびアクセス手段上に積層された光導電層と、前  
記記録電層と対向して前記記録電層上に積層された上部導  
電層と、それぞれが前記内部マイクロプロセッサの各々の  
上面に接続して配置された複数の電極バリエイタと、前記  
光導電層と前記上部導電層との間に配置され、それらと  
同じ広がりをもつバリエイタ電極とを有し、(a)すべて  
のアドレス・ラインを第1バイアス値にし、前記内部マ  
イクロプロセッサをアクセス電圧に接続し、前記電荷蓄積層  
の電荷を無効レベルにセットするステップと、(b)前  
記外部マイクロプロセッサをアクセス電圧に接続し、(c)前

(c) 前述第1バイアス値をすべてのアドレス・ラインから取り除いて、出力電荷蓄積キャパシタが電荷を蓄積することを可能にするステップと、(d) 光感電圧に比例して、放電時間を照射して、放電量に比例した感度で光感電圧域内に電荷を発生させるステップと、

(e) 放射を停止し、主部導管に印刷した正の初期動。作電圧を切り離して、イメージ増幅エレメント内に電荷分布を効果的に発生するステップと、(f) 複数のアドレス・ラインを通して信号を順次にトランジスタに入力して、キャパシタに蓄積された電荷がキャパシタから複数のセンス・ラインに流れ込むことを可能にするステップと、(g) 各電荷蓄積キャパシタからの電荷を累積するようにより電荷増幅手段をアクチベートし、この累積値をあとでディジタル化して、メモリにストアしておくステップとを備えたことを特徴とする。

【0023】請求項14に記載の発明は、請求項13に記載の無線イーサネット接続方法において、イメージ描画エレメントをその元の状態に復元するステップをさらに備え、該復元ステップは、(a) アドレス・ラインを通してデータ信号をトランジスタに人力して、電荷蓄積キャパシタに存在しているすべての電荷がキャパシタから、セ

ンス・ラインに流し込むことを可能にするステップと、  
(b) 各電荷蓄積キャパシタを電氣的中立・アース状態に保つように設計された電荷増幅手段を電氣的にアースするステップと、(c) 動作電圧源を上記電圧範囲に内蔵させるステップと、  
1. 初期によるレートで電圧を電氣的中立・アース値まで減少させ、断性が反転したとき、電圧を第2の自動動作電圧まで減少させて、基準電圧範囲に残留している電荷を中立化するステップと、(2) 反転動作電圧を電氣的中立・アース電圧に反転するまで減少させて、イメージ補填エレメントを定期的に増幅増大するステップとを有することを特徴とする。

【0024】  
【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0025】図1は、誘電基板12をもつ、X線イメージ（画像）増感装置、エレメントまたはパネル16を示している。誘電基板12は、パネル16を覆いやすくなる厚さになっている。誘電基板12上には、複数の第1ディスプレイ領域4と微小導電板18（具体的には、18a, 18b, 18c, . . . 18n）が設けられている。これらの電率は、以下では、マイクロプレート18nと示す。マイクロプレート18nはアルミニウムで作ることが好ましい。この種のマイクロプレート18nを作る技術は、この分野では公知である。マイクロプレート18nの寸法によって、エレメント16が例像される最小ピクセル（ピクセル）の幅が定まる。マイクロプレート18nは、熱印法（thermal deposition）またはスパッタリング法を用いて誘電基板12上に形成されるのが一般的であるが、必ずしもこの方法による必要はなく、また金、銀、銅、クロム、チタン、プラチナなどの金属の薄層で作ることが可能である。この電線の第1マイクロプレート12上には、好ましくは、1酸化シリコンからなる絶縁層が設けられる。好ましくは、2電線13、14とゲート11をもつ増感板12上には、複数の第2マイクロプレート4（具体的には、4a, 4b, 4c, . . . 4n）が設けられている。これらのマイクロプレートは、以下では、マイクロプレート4nと呼ぶ。これらは、真空蒸着法またはスパッタリング方法によって誘電基板12上に堆積されるのが代表例であるが、必ずしも、この方法による必要はなく、また金、銀、銅、クロム、チタン、プラチナなどの金属の薄層で作ることが可能である。好ましくは、マイクロプレート4nはアルミニウムまたは酸化インジウム・錫(indium-tin oxide)で作られる。

【0026】図2に示すように、少なくとも1つのトラランジスタ5は各マイクロプレート4nをX線ライン11に接続している。トラランジスタ5の代表例としては、FETトラランジスタがあり、そのゲートがX線ライン11

に接続され、そのソースまたはドレインがYnライン1-3に接続されている。電荷蓄積キャパシタ6は、マイクロプレート4 n、18 nおよび精密真空蒸着膜物質19 nによって形成されている。また、各マイクロプレート4 nにはトランジスタ5の電極14には接続されている。各マイクロプレート18 nはグラッド(アース)に接続されている。各トランジスタ5は双方向スイッチの働きをし、バイアス電圧がXnアドレス・ラインを介してゲートに印加されたかどうかに応じて、Ynライン1-3のセグメントと電荷蓄積キャパシタ6との間に電流を流す。トランジスタ5は、水素化(hydrogenated)アモルファス・シリコン層15、絶縁層9、導電ゲート11および2つの導電電極を有することが望ましく、また同様に焼結図で示すように、一方の電極13はYnセグメント・ライン1-3に接続され、他方の電極14はマイクロプレート4 nに接続される。各トランジスタ5は、単結晶シリコン、多結晶シリコン、または酸化カドミウムを促進層として追加的な層を使用することによって、化学改質線(acetinic radiation)からシールドすることができ、本発明を説明する目的上、化学改質は第外巻、第外巻、または可視放射線の意味で用いるが、X線放射線とガンマ線放射線は含まない。トランジスタ5および電荷蓄積キャシタ6の製造技術はこの分野では公知であり、本発明の主題とは無関係である。この点に関しては、例えば、R. C. Jaeger著「ソリッドステートデバイス」のモジュラー・シリーズ[Modular Series on Solid State Devices], Volume 5 of Introductions to Microelectronics Fabrication (発行 Addison-Wesley, 1988)に記載されている。

[0027] マイクロプレート4 a、4 b、4 c、... 4 n間のスペースには、導電電極またはX1、X2、... Xnアドレス・ライン11、および滑電極またはY1、Y2、... Ynセグメント・ライン13が配置されている。Xnライン11とYnライン13は、図示のように、外国マイクロプレート4 n間のスペースにおいて、相互に対しては直交するように設置されている。Xnライン11とYnライン13をどのような向きにするかは、選択の問題である。Xnアドレス・ライン11はワードまたはコネクタ(図示せず)を通して、パネル16のサイドまたはエッジに沿って横断的にアクセス可能になっている。

【0028】製造の目的上、Xnライン11とYnライン13は、マイクロプレート4nを作るときに使用したのと同じアルミニウム層から作ることができる。Xnライン11とYnライン13は交差する個所で相互に電気的

的に接触してはならないので、Y n ライン13は、X n ライン11上に絶縁層（図示せず）を形成した後で作ることができ。

【0029】各Y n ライン13は、電荷増幅回路36にも接続されている。この増幅器は演算増幅器で構成し、マイクロキャパシタからの電荷が与えられ、その電荷に比例した電圧出力を発生する静電容量回路における電荷を測定することが可能である。検出器36の出力を順次にサンプリングすることによって、出力値が得られるが、このような技術はこの分野では公知である。

【0030】マイクロプロブレート4 n の上面には、電荷阻止（プロセッシング）層10が形成されている。マイクロプロブレート4 n の表面に形成された酸化アルミニウム層を電荷阻止層10にするのが好ましいが、他の阻止インテフェース（境界）を使用することも可能である。セレンウム光導電層8をその上にコーティングすると、X線吸収層が得られる。さらに、層4 n、10、および8は、阻止ダイオードの働きをし、一方の極の電荷が一方の方向に流れるのを防止する。電荷阻止層10は、電荷漏れを防止するのに十分な厚さになっていないければならない。本発明の好適実施例では、電荷阻止層10は100オングストロームより大きい厚さになっている。【0031】電荷阻止層10、トランジスタ5、ならびにゲートおよびセンス・ライン上には、光導電層8がコーティングされている。この光導電層8は、マイクロプロブレート4 n に接触する背面と、前面とを有している。光導電層8は、非常に高い暗抵抗率(dark resistivity)を示すものが好ましいので、アモルファス・セレンウム、酸化鉛、酸化カドミウム、ヨウ化第二水銀、その他の同種物質で構成することができ。その他の同種物質として、好ましくは、X線吸収性化合物が添加されて、光電性を示す光導電ポリマなどの有機物質がある。

【0032】本発明において「導電性を示す」というときは、X線放射が照射されたとき、光導電物質の抵抗率が、照射を受けなかったときの抵抗率に比べて減少することが意味する。抵抗率の減少は、実際には、入射放射によって物質中に生成された電子ホール・ペアの効果によるものである。キャパシタの静電容量は時定数はキャパシタの抵抗に比例するので、上記のような光導電物質で作られたキャパシタは照射を受けると、時定数が小さくなる。これを電気的に示したのが図6であり、図6に示すように、抵抗51とスイッチ52を、光導電物質で作られたキャパシタと並行に配置することによって表されている。放射の照射を受ける前は、光導電物質の抵抗は実効的に無限である。これを図式化すると、スイッチが開いたのと同じであり、放電電物質は作用していない。照射を受けたときは、光導電物質の抵抗は小さくなり、この電圧はスイッチと並列に閉じたのと同じであり、放電電流を光導電キャパシタと並列に接続したことになる。光導電層の

両端間を移動する電荷は、入射放射の強度と直接比例することが好ましい。

【0033】光導電層8は、入射X線放射、またはその大部分を吸収するのに十分な厚さにする必要があり、そのようにすれば、放射検出効率を高めることができる。どのような種類の物質を選択するかは、必要とする電荷発生効率および電荷移動特性、ならびに製造をどの程度簡略化するかに依存する。好ましい物質の1つとしてセレンウムがある。

【0034】誘電層17は、光導電層8の表面上に積層される。本発明の好適実施例では、誘電層17の厚さは、1ミクロンより大きくするのが好ましい。厚さが25マイクロメートルのMylar（登録商標、ポリエチレン・テフタル酸塩）フィルムを層17に使用できるが、他の厚さの層も適する。X線放射を透過する導電物質の最終増幅層9は、誘電層17上に形成される。

【0035】誘電層17、光伝導層8および電荷蓄積キャパシタ6 n は、直列の3つのマイクロキャパシタを形成している。第1マイクロキャパシタは前面導電層9と導電層8の前面間に形成され、第2マイクロキャパシタは前記と同導電層8とマイクロプロブレート4 n 間に形成され、第3キャパシタはマイクロプロブレート4 n と18 n 間に形成された電荷蓄積キャパシタ6 n になっている。

【0036】エレメント16全体は、コンダクティング層19、マイクロプロブレート4 n、阻止層10、光導電層8、絶縁層17、およびコンダクタ9の連続層を誘電基板層12上に堆積することによって作ることができ。FET5は誘電基板層12上のマイクロプロブレート18 n 間のスペースに組み込まれている。エレメント16の製作は、プラズマ強化化学蒸着法(plasma-enhanced chemical vapor deposition)、真空蒸着法(vacuum deposition)、ラミネート法(lamination)、スパッタリング法、その他の均等厚の薄膜を堆積するのに適した公知方法で行うことが可能である。

【0037】実際には、パネル16の製作は、誘電基板層12、トランジスタ5、X n ライン11、およびY n ライン13を含む市販薄膜トランジスタから始まることである。本発明によるパネル16を作るには、液晶ディスプレイを作るのと同じように市販のパネルから始めると好都合である。電荷蓄積キャパシタ6が、外周マイクロプロブレート18 n 上に並び、X n ライン11とY n ライン13との間に形成される。光導電層8が電荷阻止層10上に積層される。誘電層17と上部導電層9が光導電層8上に形成されて、パネル16が完成する。【0038】本発明の好適実施例では、上部導電層9、誘電層17、および光導電層8は連続層になっている。しかし、マイクロプロブレート18 n 上に積層された層の1つまたは2つ以上を、例えば、エッチングによるレジストレーションによって形成した複数のダイスクリット部に構成すること、本発明の範囲に属する。

【0039】図2に示すように、X n ライン11の縁端は、X n ライン11を第1位置Aおよび第2位置Bに切り替える作用をする複数の第1スイッチ32を有するスイッチング手段に接続されている。好ましくは、スイッチング手段は電子的にアドレス可能なソリッド・ステートスイッチで構成されているが、これらのスイッチはエレメント16の外側に設けることも、エレメント16と一体構成にすることもできる。バイアス電圧は、X n ライン11が第1位置Aにあるとき、ライン33を挂出し、すべてのX n ライン11に同時に印加される。X n ライン11上のバイアス電圧がすべてのトランジスタ5のゲートに印加されると、トランジスタ5は導通状態になり、ソースとドレインとの間に電流を流す。

【0040】スイッチ32が第2位置Bにあるときは、X n ライン11はライン35挂出で独立にアドレスで、相互間の接続は切り離されている。この順次スイッチングを可能にする手段は図に示されていない。この種の手段はこの分野で公知であり、本発明の範囲を変更することなく、適当なスイッチング装置が選択できるので、本発明によれば、この種のスイッチングは重要でない。スイッチ32の制御はライン37で行うことができる。

【0041】電荷検出器36は演算増幅器を有し、マイクロキャパシタからの電荷から電圧に比例した電圧出力を発生する静電容量回路における電荷を測定するよう配線することができ。検出器36の出力を順次にサンプリングすることによって出力信号が得られ、このための技術はこの分野では公知である。

【0042】図1に示すように、上述した回路が上述したパネル16およびX n ライン11 Y n ライン13のアドレス手段に接続されているのは、前面導電層9と複数の第1マイクロプロブレート18 n をアークスして、一連のプログラマブル可変電圧を供給する電圧27に前面導電層9と複数の第1マイクロプロブレート18 n を電圧的に接続するための、別の接続路が設けられている。

【0043】図3は、イメージ読取エレメント16を化学放射線の照射からシールドするためにカセットまたは格納装置22が使用されている構成を示している。このシールド方法は、X線フィルムをシールドカセットの場合と同様に作られている。放射線が真の像を得るために、エレメント16はカセット22内に格納されている。このカセット22は情報変換X線放射の通路に置かれるが、その置き方は、従来のカセットと感光フィルムの組み合わせが置かれるのと同じである。手段34は、スイッチ32のスイッチ接点とそれぞれの制御ライン33、35、37および電圧27に電気的にアークスすることを可能にするものである。

【0044】図4に概略的に示す構成は、X線放射線4がX線ビームを供給するためのものである。ターゲット48（つまり、医療診断画像を得る場合は、患者）は

X線ビーム通路上に置かれる。患者48を通り抜けて出現した放射線は、ターゲット48におけるX線吸収の度合いが異なるために、強度が変調される。変調されたX線放射線46は、エレメント16を格納しているカセット22によって入射ターゲットされる。格納装置22を通り抜けたX線は、光導電層8によって吸収される。【0045】次に、動作について説明する。まず、スイッチ32が位置Aに切り替えられ、バイアス電圧（5 V が代表例）がすべてのX n ライン11に同時に印加される。さらに、電圧（5 V が代表例）がアレ・リセット・ライン91に印加され、すべてのアレ・リセット・トランジスタ93が導通状態になる。すべての電荷蓄積キャパシタ6が、アレ・リセット・トランジスタを通して電気的にブラインドに短絡される。また、すべての電荷増幅器36はライン39を通してリセットされる。初期動作D/C電圧（例えば、1000 V）は、電圧レート制御されて上部導電層9に印加される。

【0046】図5は3つの直列マイクロキャパシタを構成する誘電層17、光導電層8および電荷蓄積キャパシタ6の、高放射線が加えられる際の等価回路を示す略図である。図に示すように、光導電層8に並列し、スイッチ52と抵抗51があり、これは、光導電層8における電子ホール・ペアの生成と移動が、次に説明するキャパシタのキャパシタンス（静電容量）にどのような影響を及ぼすかを示したものである。図5の上のように、X線放射が存在しないので、トランジスタ5とアレ・リセット・トランジスタ93が導通状態にターンオンしているとき（これは、スイッチ53を閉じたのと同じである）、正の初期動作電圧がエレメント16の両端に現れると、電荷は電荷蓄積キャパシタ6に蓄積され、上述した構造では、この結果、2つの異なる電圧がキャパシタの両端に現れる。1つは、光導電層8を表すマイクロキャパシタ両端に現れ、もう1つは、誘電層17を表すマイクロキャパシタ両端に現れる。例えば、印加電圧27が1000 Vならば、これは2つのキャパシタ両端に分配され、誘電層17両端に100 Vが、光導電層8両端に900 Vが印加される。電圧が安定すると、X n ラインに現れて、トランジスタ5にバイアスをかける電圧は第2の動作電圧に変わり、スイッチを位置Bに切り替えることにより、トランジスタ5を非導通状態にする。アレ・リセット・トランジスタ93も、上記と同じプロセスによって非導通状態になる。これはスイッチ53を開いたのと同じである。

【0047】図6は、異なるピクセルにおける入射放射量が異なるとき、電圧の再分配パターンにどのような影響を及ぼすかを示す図である。X線の照射を受けているとき、イメージワイズ変換X線放射はパネル16上に断片する。X線は光導電層内に余剰電子ホール・ペアを生成し、前面導電層9とマイクロプロブレート18 n 間の電圧差で起こる電場が存在するとき、ホールは、マイクロ

シタがサンプリングされて、イメージ全体が読み出されるまで繰り返される。電気信号出力はストアしておくとも、表示することも、あるいはその両方を行うこともできる。

【0052】図7は、電荷増幅器36から得られ、射ましくは、アナログ・デジタル(A/D)コンバータ110でデジタル信号に変換された信号を示す。この信号はライン140と線142で示される。コンバータ142は、特に、この信号を所定の記憶手段に送る。この記憶手段は内部RAMメモリ、長時間保存メモリ144、あるいはその両方であってもよい。このプロセスでは、放射線写真増幅器は、フィルタリング、コントラスト強調などのイメージ処理を受け、CRT146から表示して即時に見ることも、プリンタ148を用いてハードコピー150をとることもできる。

【0053】図8は、パネル16が追加のX線イメージを描像するためにどのように準備されるかを示している。例えば、上述したプロセスを使用して信号が回復され、すべてのXnライン111間を相互接続し、再度バイアス電圧をXnライン111に印加してトランジスタ5を導通状態にし、その結果すべての電荷蓄積キャパシタを完全に充電するので、残留電荷が除去される。すべての電荷増幅器36はリセット・ライン39を通じてリセットされる。初期動作電圧が電荷増幅器パネル9に印加される。この動作電圧は、電圧レートを制御されて、あらかじめ決められた時間間隔の間に、動作バイアス電圧からゼロ電圧に、さらに反転電圧に減少する。この反転電圧は、元の正の動作バイアス電圧の大きさとは等しく、かつ、それ以下にすることもできる。電圧特性が反転すると、ホールはマイクログレート4nから電荷バリア層10を通過して光導電層8に注入される。光導電層8を通る、このホールの移動は、以前に光導電層8内でトラップされていたイメージ電荷電位分布パターンが除去されるまで繰り返される。イメージ描像パネルは後述のイメージ描像動作の準備状態に入る。

【図面の簡単な説明】  
【図1】本発明によるX線イメージ描像エレメントを示す概略断面図である。  
【図2】図1に示すX線イメージ描像エレメントを示す概略上面図である。  
【図3】本発明によるX線イメージ描像パネルを使用するためのカセットを示す概略断面図である。  
【図4】X線イメージを描像するための本発明によるX線イメージ描像パネルを使用するための構成を示す正面図である。

【0054】あらかじめ決められた時間間隔が経過すると、X線バースは中断されるので、X線はエレメント16に断絶しなくなる。そのあと、上層電荷層9への初期動作電圧の印加が除かれるので、マイクログレート4n、誘電層19およびマイクログレート18間で形成されたマイクログレキャパシタの蓄積電荷の形で、放射線写真イメージがエレメント16に描像される。

【0055】初期動作電圧をエレメント16から除いた後、化学増幅層が存在するときにカセット22を取り除いても、トランジスタ5は化学増幅層からシールドされており、従って、マイクログレート4nは相互に隔離されているので、該電圧増幅19領域のマイクログレキャパシタ電荷分布としてカセット22に収まっている蓄積イメージ情報は消失することがない。

【0056】再び図2に示すように、Xnライン111の各々は、該当バイアス電圧をラインに、従って、アドレスされるXnライン111に接続されたFET5のゲートに印加することによって順次にアドレスされる。これにより、FET5は導通状態になり、対応する電荷蓄積キャパシタ6に蓄積された電荷はYnライン13に流れると共に、電荷増幅器36の入力側に流れる。電荷増幅器36はYnライン13上で検出された電荷に比例する電圧出力を発生する。電荷増幅器36の出力は順次にサンプリングされて、アドレスしたXnライン111上のマイクログレキャパシタの電荷分布を表す電気信号が得られ、各マイクログレキャパシタは1つのイメージ・ピクセルを表す。Xnライン111上のピクセルのあるラインから信号が読み出されると、電荷増幅器はリセット・ライン39を通過してリセットされる。次のXnライン111がアドレスされ、このプロセスは、すべての電荷蓄積キャパシタがサンプリングされて、イメージ全体が読み出されるまで繰り返される。電気信号出力はストアしておくとも、表示することも、あるいはその両方を行うこともできる。

【0057】図7は、電荷増幅器36から得られ、射ましくは、アナログ・デジタル(A/D)コンバータ110でデジタル信号に変換された信号を示す。この信号はライン140と線142で示される。コンバータ142は、特に、この信号を所定の記憶手段に送る。この記憶手段は内部RAMメモリ、長時間保存メモリ144、あるいはその両方であってもよい。このプロセスでは、放射線写真増幅器は、フィルタリング、コントラスト強調などのイメージ処理を受け、CRT146から表示して即時に見ることも、プリンタ148を用いてハードコピー150をとることもできる。

【図5】X線放射線の照射を受ける前に、初期動作バイアス電圧が印加された後の本発明によるエレメントの等価回路を示す図である。

【図6】X線放射線の照射を受けた直後で、動作電圧が印加された後の本発明によるエレメントの等価回路を示す図である。

【図7】本発明のX線イメージ描像パネルを使用して放射線写真を描像し、表示するための構成を示すブロック図である。

【図8】バイアス電圧が反転され、負電圧に低下した直後の本発明によるエレメントの電気的等価回路を示す図である。

【符号の説明】  
4 マイクログレート  
5 トランジスタ  
6 電荷蓄積キャパシタ  
8 光導電層

9 電荷増幅器  
10 電荷増幅器出力  
11 Xnライン  
12 誘電層  
13 Ynライン  
16 パネル(X線イメージ描像エレメント)  
17 誘電層  
18 微小導電層(マイクログレート)  
19 電荷蓄積誘電物質  
22 カセットまたは収納装置  
27 印加電圧源  
32 スイッチ  
36 電荷増幅器  
39 リセット・ライン  
53 スイッチ  
93 プレイ・リセット・トランジスタ

【図1】本発明によるX線イメージ描像エレメントの概略断面図である。

【図2】図1に示すX線イメージ描像エレメントを示す概略上面図である。

【図3】本発明によるX線イメージ描像パネルを使用するためのカセットを示す概略断面図である。

【図4】X線イメージを描像するための本発明によるX線イメージ描像パネルを使用するための構成を示す正面図である。

【図5】X線放射線の照射を受ける前に、初期動作バイアス電圧が印加された後の本発明によるエレメントの等価回路を示す図である。

【図6】X線放射線の照射を受けた直後で、動作電圧が印加された後の本発明によるエレメントの等価回路を示す図である。

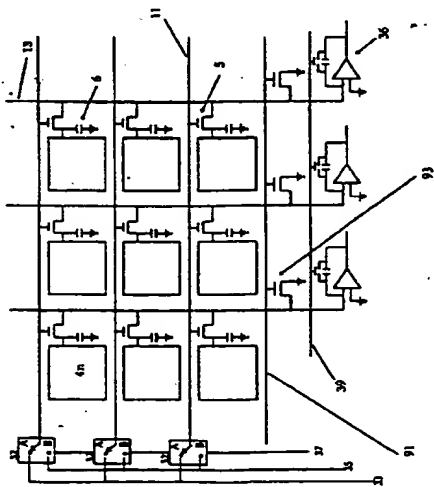
【図7】本発明のX線イメージ描像パネルを使用して放射線写真を描像し、表示するための構成を示すブロック図である。

【図8】バイアス電圧が反転され、負電圧に低下した直後の本発明によるエレメントの電気的等価回路を示す図である。

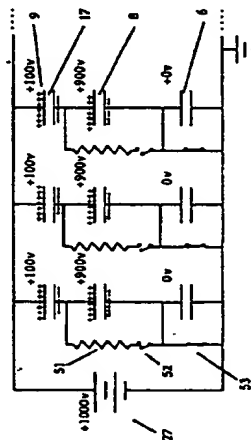
【符号の説明】  
4 マイクログレート  
5 トランジスタ  
6 電荷蓄積キャパシタ  
8 光導電層

9 電荷増幅器  
10 電荷増幅器出力  
11 Xnライン  
12 誘電層  
13 Ynライン  
16 パネル(X線イメージ描像エレメント)  
17 誘電層  
18 微小導電層(マイクログレート)  
19 電荷蓄積誘電物質  
22 カセットまたは収納装置  
27 印加電圧源  
32 スイッチ  
36 電荷増幅器  
39 リセット・ライン  
53 スイッチ  
93 プレイ・リセット・トランジスタ

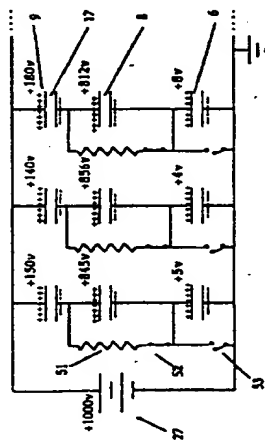
【図2】



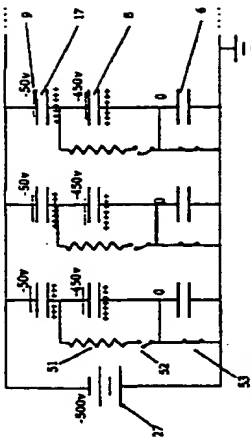
【図5】



【図6】



【図8】



フロントページの続き

(51) Int. Cl.<sup>1</sup>  
H01L 27/14  
31/09

識別記号 序内整理番号 F 1

技術表示箇所

(72)発明者 ローレンス カイ-フアン シェン  
アメリカ合衆国 19312 ペンシルバニア  
州 パーウィン グリーン ヒル サーク  
ル 1520